

10807545 08/02/04

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18693562

Basic Patent (No,Kind,Date): JP 2003058107 A2 20030228 <No. of Patents: 001>

LIGHT EMISSION DEVICE AND ITS DRIVING METHOD (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): INUKAI KAZUTAKA

IPC: *G09G-003/30; G09F-009/30; G09G-003/20; H05B-033/14

Derwent WPI Acc No: G 03-272075

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2003058107	A2	20030228	JP 2001244358	A	20010810 (BASIC)

Priority Data (No,Kind,Date):

JP 2001244358 A 20010810

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07564266 **Image available**

LIGHT EMISSION DEVICE AND ITS DRIVING METHOD

PUB. NO.: **2003-058107** [JP 2003058107 A]

PUBLISHED: February 28, 2003 (20030228)

INVENTOR(s): INUKAI KAZUTAKA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-244358 [JP 2001244358]

FILED: August 10, 2001 (20010810)

INTL CLASS: G09G-003/30; G09F-009/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide an active matrix type light emission device capable of performing sharp multi-level display.

SOLUTION: In this light emission device, each of a plurality of pixels has an organic light emitting diode, a driving TFT(thin film transistor) group controlling respectively the light emission of the organic light emitting diode, a switching TFT and an erasing TFT controlling the switching of the driving TFT group. Then, a plurality of third TFTs are connected in series at least by twos and third TFTs which are connected in series by twos are connected in parallel by two or more between the pixel electrode had by the organic light emitting diode and a power source line in this device.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58107

(P 2 0 0 3 - 5 8 1 0 7 A)

(43) 公開日 平成15年2月28日 (2003. 2. 28)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
G09F 9/30	338	G09F 9/30	338 5C080
	365		365 Z 5C094
G09G 3/20	611	G09G 3/20	611 H
	624		624 B

審査請求 未請求 請求項の数15 O L (全28頁) 最終頁に続く

(21) 出願番号 特願2001-244358 (P 2001-244358)

(22) 出願日 平成13年8月10日 (2001. 8. 10)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

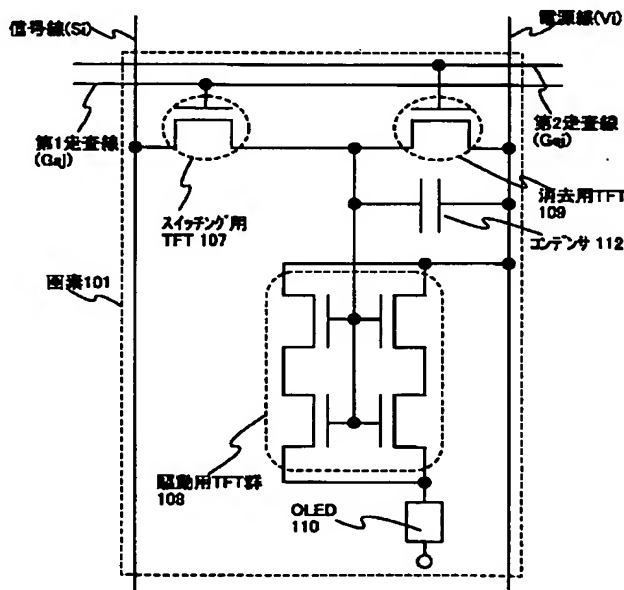
最終頁に続く

(54) 【発明の名称】 発光装置及びその駆動方法

(57) 【要約】

【課題】 鮮明な多階調表示の可能なアクティブマトリクス型の発光装置を提供する。

【解決手段】 複数の画素が、有機発光素子と、有機発光素子の発光をそれぞれ制御する駆動用TFT群と、駆動用TFT群のスイッチングを制御するスイッチング用TFT及び消去用TFTとをそれぞれ有している。そして、有機発光素子が有する画素電極と、電源線の間において、複数の第3のTFTが、少なくとも2つずつ直列に接続されており、2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されていることを特徴とする発光装置。



【特許請求の範囲】

【請求項1】複数の画素を有する発光装置であって、前記画素は、第1のTFTと、第2のTFTと、複数の第3のTFTと、有機発光素子と、信号線と、電源線とを有しており、

前記第1のTFTのソースとドレインは、一方は前記信号線に、他方は全ての前記複数の第3のTFTのゲート電極に接続されており、

前記第2のTFTのソースとドレインは、一方は前記電源線に、他方は全ての前記複数の第3のTFTのゲート電極に接続されており、

前記有機発光素子が有する画素電極と、前記電源線の間において、前記複数の第3のTFTが、少なくとも2つずつ直列に接続されており、前記2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されていることを特徴とする発光装置。

【請求項2】複数の画素を有する発光装置であって、前記画素は、第1のTFTと、第2のTFTと、複数の第3のTFTと、有機発光素子と、信号線と、電源線と、第1の走査線と、第2の走査線とを有しており、

前記第1のTFTのゲートは前記第1の走査線に接続されており、

前記第2のTFTのゲートは前記第2の走査線に接続されており、

前記第1のTFTのソースとドレインは、一方は前記信号線に、他方は全ての前記複数の第3のTFTのゲート電極に接続されており、

前記第2のTFTのソースとドレインは、一方は前記電源線に、他方は全ての前記複数の第3のTFTのゲート電極に接続されており、

前記有機発光素子が有する画素電極と、前記電源線の間において、前記複数の第3のTFTが、少なくとも2つずつ直列に接続されており、前記2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されていることを特徴とする発光装置。

【請求項3】請求項1または請求項2において、前記複数の第3のTFTは、全て極性が同じであることを特徴とする発光装置。

【請求項4】請求項1乃至請求項3のいずれか1項において、

前記有機発光素子の画素電極が陽極であり、前記複数の第3のTFTは、全てpチャンネル型TFTであることを特徴とする発光装置。

【請求項5】請求項1乃至請求項3のいずれか1項において、

前記有機発光素子の画素電極が陰極であり、前記複数の第3のTFTは、全てnチャンネル型TFTであることを特徴とする発光装置。

【請求項6】第1の期間において、第1のTFTはオンになり、第2のTFTはオフになり、前記第1のTFT

を介してデジタルビデオ信号が全ての複数の第3のTFTのゲート電極に入力され、

第2の期間において、前記第1のTFT及び前記第2のTFTがオフになることで前記複数の第3のTFTのゲート電圧が保持され、

第3の期間において、前記第1のTFTはオフになり、前記第2のTFTがオンになることによって前記複数の第3のTFTのソースとゲートが接続され、

有機発光素子が有する画素電極と電源線の間において、前記複数の第3のTFTが、少なくとも2つずつ直列に接続されており、前記2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されていることを特徴とする発光装置の駆動方法。

【請求項7】1フレーム期間に、n個（nは自然数）の第1の期間と、n個の第2の期間と、少なくとも1つの第3の期間とが設けられた発光装置の駆動方法であって、

前記第1の期間において、第1のTFTはオンになり、第2のTFTはオフになり、前記第1のTFTを介してデジタルビデオ信号が全ての複数の第3のTFTのゲート電極に入力され、

前記第2の期間において、前記第1のTFT及び前記第2のTFTがオフになることで前記複数の第3のTFTのゲート電圧が保持され、

前記第3の期間において、前記第1のTFTはオフになり、前記第2のTFTがオンになることによって前記複数の第3のTFTのソースとゲートが接続され、

有機発光素子が有する画素電極と電源線の間において、前記複数の第3のTFTが、少なくとも2つずつ直列に接続されており、前記2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されていることを特徴とする発光装置の駆動方法。

【請求項8】1フレーム期間に、n個（nは自然数）の第1の期間と、n個の第2の期間と、少なくとも1つの第3の期間とが設けられた発光装置の駆動方法であって、

前記第1の期間において、第1のTFTはオンになり、第2のTFTはオフになり、前記第1のTFTを介してデジタルビデオ信号が全ての複数の第3のTFTのゲート電極に入力され、

前記第2の期間において、前記第1のTFT及び前記第2のTFTがオフになることで前記複数の第3のTFTのゲート電圧が保持され、

前記第3の期間において、前記第1のTFTはオフになり、前記第2のTFTがオンになることによって前記複数の第3のTFTのソースとゲートが接続され、

有機発光素子が有する画素電極と電源線の間において、前記複数の第3のTFTが、少なくとも2つずつ直列に接続されており、前記2つずつ直列に接続されている第3のTFTが2つ以上並列に接続されており、

10

20

30

40

50

前記 n 個の第 2 の期間の長さの比は、 $1 : 2 : 2^2 : \dots : 2^{n-1}$ であることを特徴とする発光装置の駆動方法。

【請求項 9】第 1 の TFT と、第 2 の TFT と、第 3 の TFT と、有機発光素子と、信号線と、電源線とを有する複数の画素を備えた発光装置の駆動方法であって、前記第 1 の TFT のソースとドレインは、一方は前記信号線に、他方は全ての前記第 3 の TFT のゲート電極に接続されており、

前記第 2 の TFT のソースとドレインは、一方は前記電源線に、他方は全ての前記第 3 の TFT のゲート電極に接続されており、

前記第 3 の TFT は、ソースが前記電源線に、ドレインが前記有機発光素子が有する画素電極に接続されており、

第 1 の期間において、第 1 の TFT がオンになり、かつ第 2 の TFT がオフになることで、前記第 1 の TFT を介してアナログビデオ信号が第 3 の TFT のゲート電極に入力され、

第 2 の期間において、前記第 1 の TFT 及び前記第 2 の TFT がオフになることで前記第 3 の TFT のゲート電圧が保持され、

第 3 の期間において、前記第 1 の TFT がオフになり、かつ前記第 2 の TFT がオンになることによって前記第 3 の TFT のソースとゲートが接続され、

前記第 3 の TFT は、ソースが有機発光素子の有する画素電極に接続されており、ドレインに電源から一定の電圧が印加されていることを特徴とする発光装置の駆動方法。

【請求項 10】第 1 の TFT と、第 2 の TFT と、複数の第 3 の TFT と、有機発光素子と、信号線と、電源線とを有する複数の画素を備えた発光装置の駆動方法であって、

前記第 1 の TFT のソースとドレインは、一方は前記信号線に、他方は全ての前記複数の第 3 の TFT のゲート電極に接続されており、

前記第 2 の TFT のソースとドレインは、一方は前記電源線に、他方は全ての前記複数の第 3 の TFT のゲート電極に接続されており、

前記有機発光素子が有する画素電極と、前記電源線の間において、前記複数の第 3 の TFT が、少なくとも 2 つずつ直列に接続されており、前記 2 つずつ直列に接続されている第 3 の TFT が 2 つ以上並列に接続されており、

第 1 の期間において、第 1 の TFT がオンになり、かつ第 2 の TFT がオフになることで、前記第 1 の TFT を介してアナログビデオ信号が全ての複数の第 3 の TFT のゲート電極に入力され、

第 2 の期間において、前記第 1 の TFT 及び前記第 2 の TFT がオフになることで前記複数の第 3 の TFT のゲ

ート電圧が保持され、

第 3 の期間において、前記第 1 の TFT がオフになり、かつ前記第 2 の TFT がオンになることによって前記複数の第 3 の TFT のソースとゲートが接続され、

有機発光素子が有する画素電極と、一定の電圧が印加されている電源線の間において、前記複数の第 3 の TFT が、少なくとも 2 つずつ直列に接続されており、前記 2 つずつ直列に接続されている第 3 の TFT が 2 つ以上並列に接続されていることを特徴とする発光装置の駆動方法。

【請求項 11】請求項 6 乃至請求項 10 のいずれか 1 項において、

前記複数の第 3 の TFT は、全て極性が同じであることを特徴とする発光装置の駆動方法。

【請求項 12】請求項 6 乃至請求項 11 のいずれか 1 項において、

前記有機発光素子の画素電極が陽極であり、前記複数の第 3 の TFT は、全て p チャンネル型 TFT であることを特徴とする発光装置の駆動方法。

【請求項 13】請求項 6 乃至請求項 11 のいずれか 1 項において、

前記有機発光素子の画素電極が陰極であり、前記複数の第 3 の TFT は、全て n チャンネル型 TFT であることを特徴とする発光装置の駆動方法。

【請求項 14】有機発光素子を有する画素を複数備えた発光装置の駆動方法であって、

1 フレーム期間に、各画素にビデオ信号を書き込み、前記有機発光素子を前記ビデオ信号に応じて発光または非発光の状態にすることで表示を行う第 1 の期間と、前記表示を維持する第 2 の期間と、前記有機発光素子を非発光の状態にする第 3 の期間とを有することを特徴とする発光装置の駆動方法。

【請求項 15】第 1 の TFT と、第 2 の TFT と、第 3 の TFT と、有機発光素子と、信号線と、電源線とを有する複数の画素を備えた発光装置の駆動方法であって、前記第 1 の TFT のソースとドレインは、一方は前記信号線に、他方は全ての前記第 3 の TFT のゲート電極に接続されており、

前記第 2 の TFT のソースとドレインは、一方は前記電源線に、他方は全ての前記第 3 の TFT のゲート電極に接続されており、

前記第 3 の TFT は、ソースが前記電源線に、ドレインが前記有機発光素子が有する画素電極に接続されており、

1 フレーム期間に、各画素にビデオ信号を書き込み、前記有機発光素子を前記ビデオ信号に応じて発光または非発光の状態にすることで表示を行う第 1 の期間と、前記表示を維持する第 2 の期間と、前記有機発光素子を非発光の状態にする第 3 の期間とを有することを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された有機発光素子（OLED:Organic Light Emitting Diode）を、該基板とカバー材の間に封入したOLEDパネルに関する。また、該OLEDパネルにコントローラを含むIC等を実装した、OLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを共に発光装置と総称する。本発明はさらに、該発光装置の駆動方法及び該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】OLEDは自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年OLEDを用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。発光装置は有機ELディスプレイ（OELD:Organic EL Display）又は有機ライトエミッティングダイオードとも呼ばれている。

【0003】OLEDは、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる有機化合物（有機発光材料）を含む層（以下、有機発光層と記す）と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0004】なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】ところで、発光装置の駆動方法の1つに、アナログ方式の駆動方法（アナログ駆動法）がある。以下、発光装置のアナログ駆動法について説明する。

【0006】図18に、一般的な発光装置の画素部1800の構造を示す。画素部1800は走査線G1～Gyと、電源線V1～Vxと、信号線S1～Sxとを有している。走査線G1～Gyは、各画素が有するスイッチング用TFT1801のゲート電極にそれぞれ接続されている。また各画素の有するスイッチング用TFT1801のソース領域とドレイン領域は、一方が信号線S1～Sxのいずれか1つに、もう一方が各画素が有する駆動

用TFT1804のゲート電極及び各画素が有するコンデンサ1808にそれぞれ接続されている。

【0007】なお、本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。

【0008】各画素が有する駆動用TFT1804のソース領域は電源線V1～Vxのいずれか1つに接続されており、ドレイン領域はOLED1806の画素電極に接続されている。電源線V1～Vxは、各画素が有するコンデンサ1808に接続されている。

10 【0009】OLED1806は陽極と、陰極と、陽極と陰極の間に設けられた有機発光層とを有する。OLED1806の陽極が駆動用TFT1804のソース領域またはドレイン領域と接続している場合、OLED1806の陽極が画素電極となる。逆にOLED1806の陰極が駆動用TFT1804のソース領域またはドレイン領域と接続している場合、OLED1806の陰極が画素電極となる。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

20 【0010】画素電極の電圧と対向電極の電圧の電圧差が、OLED駆動電圧として有機発光層にかかる。なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。

【0011】図18で示した発光装置を、アナログ駆動法で駆動させたときの各画素の動作について説明する。

【0012】まず電源線V1～Vxの電圧は一定の高さに保たれている。そして対向電極の電圧も一定の高さに保たれている。電源線V1～Vxの電圧と対向電極の電圧は、電源線V1～Vxの電圧がOLEDの画素電極に与えられたときに、OLEDが発光する程度に電源電圧との間に電圧差を有している。

【0013】走査線駆動回路によって走査線G1～Gyが順に選択される。本明細書において走査線が選択されるとは、該走査線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。よって、各走査線にゲート電極が接続されているスイッチング用TFT1801が順にオンになる。

【0014】そして、信号線S1～Sxに順にアナログのビデオ信号が入力される。信号線S1～Sxに入力されたアナログのビデオ信号は、スイッチング用TFT1801を介して駆動用TFT1804のゲート電極に入力される。

【0015】駆動用TFT1804のチャネル形成領域を流れる電流の量は、駆動用TFT1804のゲート電極に入力される信号の電圧によって制御される。よって、OLED1806の画素電極にかかる電圧は、駆動用TFT1804のゲート電極に入力されたアナログのビデオ信号の電圧によって決まる。よって、OLED1806はアナログのビデオ信号の電圧に制御されて発光

【0016】全ての画素において上述した動作が行われることで、1つの画像が形成される。なお、アナログのビデオ信号によって全ての画素のOLEDの発光量が制御されるまでの期間を1フレーム期間と呼ぶ。

【0017】以上のように、アナログのビデオ信号によってOLEDの発光量が制御され、その発光量の制御によって階調表示がなされる。

【0018】

【発明が解決しようとする課題】上述したアナログ駆動法において、OLEDに供給される電流量が駆動用TFTのゲート電圧によって制御される様子を図19

(A)、(B)を用いて詳しく説明する。

【0019】図19(A)は、ゲート/ソース間の電圧(ゲート電圧) V_{gs} を変化させたときの、駆動用TFTのソース/ドレイン間電圧 V_{ds} と、ドレイン電流 I_{ds} の関係を示すグラフである。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0020】アナログ駆動法において階調表示を行う場合、駆動用TFTは飽和領域を用いて駆動する。飽和領域は、しきい値電圧を V_{TH} とすると、 $|V_{gs} - V_{TH}| < |V_{ds}|$ を満たすようなゲート電圧である領域を指す。この領域を使ってゲート電圧による電流制御を行う。

【0021】スイッチング用TFTがオンとなって画素内に入力されたアナログのビデオ信号の電圧は、駆動用TFTのゲート電圧となる。このとき、図19(A)

(B)に示した特性に従って、ゲート電圧に対するドレイン電流が1対1で決まる。即ち、駆動用TFTのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電圧が定まり、所定のドレイン電流がOLEDに流れ、その電流量に対応した発光量で前記OLEDが発光する。

【0022】以上のように、ビデオ信号によってOLEDの発光量が制御され、その発光量の制御によって階調表示がなされる。

【0023】しかしながら、上記アナログ駆動法はTFTの特性のバラツキに非常に弱いという欠点がある。また図19(B)に、閾値電圧 V_{TH} を変化させたときの、ゲート電圧 V_{gs} と、ドレイン電流 I_{ds} の関係を示すグラフである。仮に各画素の駆動用TFTに等しいゲート電圧がかかったとしても、駆動用TFTの特性にバラツキがあれば、同じドレイン電流を出力することはできない。なお、図19(B)では、閾値電圧 V_{TH} を変化させたときの $I_{ds} - V_{gs}$ 特性を示すグラフであるが、閾値電圧の他に、移動度やゲート容量などにバラツキがある場合も、出力されるドレイン電流の値は異なってくる。

【0024】さらに、図19(A)、(B)からも明らかなように、特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じる。こうなってしまうと、僅かな特性のバラツキによって、同じ電圧の信号を入力してもOLE

Dの発光量が隣接画素で大きく異なってしまう。

【0025】このように、アナログ駆動法は駆動用TFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型の発光装置の階調表示における障害となっていた。

【0026】また、図18に示した画素を用いた従来のアナログ駆動では、各画素毎に次に書き換えられるまでずっと画像が表示されつづけるという、いわゆるホールド型表示となり、動画がぼける(滑らかな動きにならない)という問題もあった。

【0027】本発明は上記問題点を鑑みてなされたものであり、鮮明な階調表示の可能なアクティブマトリクス型の発光装置を提供することを課題とする。そして、そのようなアクティブマトリクス型発光装置を表示装置として具備する高性能な電子機器を提供することを課題とする。

【0028】

【課題を解決するための手段】本発明者は、駆動用TFTの特性のばらつきを大幅に軽減すると同時に、動画がぼけるのを防止するために、ビデオ信号を画素に書き込むためのスイッチング用TFTと、書き込まれたビデオ信号の電圧に基づいて電流をOLEDに流す複数の駆動用TFTと、画素に書き込まれたビデオ信号を消去するためのTFT(以下、消去用TFTと呼ぶ)とを各画素に設けた。さらに、複数の駆動用TFTは、直列に接続された複数の駆動用TFTが、複数並列に接続されている。そして、全ての駆動用TFTはゲート電極が互いに接続されている。以下、本明細書では、各画素に設けられた複数の駆動用TFTを、駆動用TFT群と総称する。

【0029】各画素に上述した駆動用TFT群を設けることで、本発明では、駆動用TFTの $I_{ds} - V_{gs}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにOLEDの発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0030】

【発明の実施の形態】以下に、本発明の発光装置の構造と、その駆動方法を2つ例を挙げて説明する。1つはデジタルビデオ信号を用いる方式であり、もう1つはアナログビデオ信号を用いる方式である。

(実施の形態1) まず、nビットのデジタルビデオ信号により2ⁿ階調の表示を行う場合について説明する。

【0031】図1は本発明の駆動方法を用いる発光装置のブロック図であり、100は画素部、102は信号線駆動回路、103は第1走査線駆動回路、104は第2走査線駆動回路である。

【0032】図示しないが、画素部100は信号線S1~Sxと、第1走査線Ga1~Gayと、第2走査線Ge1~Geyと、電源線V1~Vxとを有している。

【0033】信号線、第1走査線、第2走査線、電源線

を、それぞれ1つずつ有する領域が画素101である。画素部100には、マトリクス状に複数の画素101が設けられている。

【0034】なお図1では信号線駆動回路102と第1走査線駆動回路103と第2走査線駆動回路104が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102、第1走査線駆動回路103、第2走査線駆動回路104が、画素部100と異なる基板上に形成され、FPC等のコネクタを介して、画素部100と接続されていても良い。また、図1では信号線駆動回路102と第1走査線駆動回路103と第2走査線駆動回路104は1つずつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と第1走査線駆動回路103と第2走査線駆動回路104の数は設計者が任意に設定することができる。

【0035】図2に本発明の画素の構成を示す。図2に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_{aj} ($G_{a1} \sim G_{ay}$ のうちの1つ)、第2走査線 G_{ej} ($G_{e1} \sim G_{ey}$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

【0036】なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第1走査線と、第2走査線の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0037】画素101は、スイッチング用TFT107、消去用TFT109、OLED110、コンデンサ112を有している。さらに画素101は、複数の駆動用TFTを含んでいる駆動用TFT群108を有している。

【0038】本発明の発光装置では、駆動用TFT群108は $s \times t$ 個の駆動用TFTを有している。図2では $s = t = 2$ の場合の駆動用TFT群108について示している。 $s \times t$ 個の駆動用TFTは、電源線 V_i とOLED110の間において s 個ずつ直列に接続されている。つまり、電源線 V_i とOLED110の間に、直列に接続された s 個のチャネル形成領域が、 t 個分並列に接続されている。そして、全ての駆動用TFTはゲート電極が互いに接続されている。

【0039】なお、 s と t の値は共に2以上であれば、設計者が任意に設定することができる。

【0040】スイッチング用TFT107のゲート電極は、第1走査線 G_{aj} に接続されている。スイッチング用TFT107のソース領域とドレイン領域は、一方が信号線 S_i に接続されており、もう一方が駆動用TFT群108が有する全ての駆動用TFTのゲート電極に接続されている。

【0041】なお本明細書では、 n チャネル型トランジ

スタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも低いものとする。また、 p チャネル型トランジスタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも高いものとする。

【0042】コンデンサ112は、電源線 V_i と、駆動用TFT群108が有する全ての駆動用TFTのゲート電極との間に形成されている。スイッチング用TFT107が非選択状態（オフの状態）にある時、駆動用TFT群108群が有する全ての駆動用TFTのゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ112を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ112を設けない構成にしても良い。本発明の発光装置は、駆動用TFTが 2×2 以上設けられているため、駆動用TFT群のゲート電極と活性層の間に形成される容量（ゲート容量）が、駆動用TFTが1つの場合比べて大きく、ゲート容量によりゲート電圧を保持することは十分可能である。

【0043】消去用TFT109のゲート電極は、第2走査線 G_{ej} に接続されている。また消去用TFT109のソース領域とドレイン領域は、一方は電源線 V_i に、もう一方は、駆動用TFT群108の全ての駆動用TFTのゲート電極に接続されている。

【0044】OLED110は陽極と陰極と、陽極と陰極の間に設けられた有機発光層とからなる。

【0045】OLED110の対向電極には、画素部101を有する基板の外部に設けられた電源から、所定の電圧が与えられる。また電源線 $V_1 \sim V_x$ には、画素部101を有する基板の外部に設けられた電源から、所定の電圧が与えられる。そして対向電極と電源線の電圧差は、電源線の電圧が画素電極に与えられたときにOLEDが発光する程度の大きさに保たれている。

【0046】なお図1及び図2ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 $V_1 \sim V_x$ の電圧の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0047】現在の典型的な発光装置は、画素部の面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が mA/cm^2 程度必要となる。そのため画素部のサイズが大きくなると、IC等に設けられた電源から電源線に与えられる電圧のオンオフをスイッチで制御することが難しくなる。本発明においては、電源線と対向電極の間の電圧差は常に一定に保たれており、ICに設けられた電源から与えられる電圧をスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0048】スイッチング用TFT107、駆動用TFT群108、消去用TFT109は、 n チャネル型TFTでも p チャネル型TFTでもどちらでも用いることができる。ただし、駆動用TFT群108が有する全ての

駆動用TFTは同じ極性を有している。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、全ての駆動用TFTはpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、全ての駆動用TFTはnチャネル型トランジスタであるのが望ましい。

【0049】またスイッチング用TFT107、消去用TFT109は、シングルゲート構造ではなく、マルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）を有していても良い。

【0050】次に図1、図2で示した本発明の発光装置の駆動方法について説明する。

【0051】本発明の発光装置の駆動は、書き込み期間Taと、表示期間Trと、非表示期間Tdとに分けて説明することができる。書き込み期間Taと、表示期間Trと、非表示期間Tdとが出現するタイミングは、各ラインの画素ごとに時間差を有している。

【0052】図4に、書き込み期間Taと、表示期間Trと、非表示期間Tdとが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線及び第2走査線の位置を示している。ただし、書き込み期間Taは短いので、図を見やすくするために、各ビットに対応する書き込み期間Ta1~Tanの開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間をΣTa1~ΣTanとして示す。

【0053】まず、1ライン目の画素において書き込み期間Ta1が開始される。書き込み期間Ta1が開始されると、第1走査線駆動回路103によって1ライン目の第1走査線Ga1が選択され、1ライン目の画素のスイッチング用TFT107が全てオンになる。なおこのとき、1ライン目の第2走査線Ge1は選択されていないので、消去用TFT109はオフの状態になっている。

【0054】図3(A)に、書き込み期間Taにおける各画素の回路素子の接続を簡単に示す。

【0055】そして、信号線S1~Sxに1ビット目のデジタルのビデオ信号（以下、デジタルビデオ信号と呼ぶ）が入力され、デジタルのビデオ信号の電圧が駆動用TFT群108の全ての駆動用TFTのゲート電極に与えられる。

【0056】なお本明細書において、ビデオ信号の電圧がスイッチング用TFT107を介して駆動用TFT群108のゲート電極に与えられることを、画素にビデオ信号が入力されるとする。

【0057】デジタルビデオ信号は「0」または「1」の情報を持っており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。デジタルビデオ信号が有する電圧に従って、駆動

用TFT群108が有する全ての駆動用TFTがオンになるかオフになるかが選択される。

【0058】駆動用TFT群108がオフのとき、言い換えると駆動用TFT群108が有する全ての駆動用TFTがオフのとき、画素電極に電源線の電圧が与えられないので、OLED110は発光しない。

【0059】駆動用TFT群108がオンのとき、言い換えると駆動用TFT群108が有する全ての駆動用TFTがオンのとき、画素電極に電源線の電圧が与えられ、OLED110は発光する。

【0060】このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、OLED110が発光、または非発光の状態になり、1ライン目の画素は表示を行う。

【0061】そして1ライン目の画素において書き込み期間が終了し、2ライン目の画素において書き込み期間Ta1が開始される。2ライン目の画素において書き込み期間Ta1が開始されると、第1走査線Ga2が選択される。そして、1ライン目の画素と同様に1ビット目のデジタルビデオ信号が2ライン目の画素に入力され、2ライン目の画素が表示を行う。

【0062】そして、2ライン目の画素において書き込み期間Ta1が終了すると、同様に3ライン目以降の画素においても順に書き込み期間Ta1が開始され、第1走査線Ga3~Gayが順に選択される。そして各ラインの画素に1ビット目のデジタルビデオ信号が入力され、各ラインの画素が表示を行う。

【0063】一方、1ライン目の画素において書き込み期間Ta1が終了すると、次に表示期間Tr1が開始される。

【0064】図3(B)に、表示期間Trにおける各画素の回路素子の接続を簡単に示す。

【0065】表示期間Tr1では、第1走査線Ga1及び第2走査線Ge1が非選択の状態にあるので、書き込み期間において駆動用TFT群108のゲート電極に与えられた電圧が保持されている。そのため、書き込み期間Ta1において駆動用TFT群108がオンになった場合、表示期間Tr1においても駆動用TFT群108はオンのままであり、OLED110は発光しつづける。逆に、書き込み期間Ta1において駆動用TFT群108がオフになった場合、表示期間Tr1においても駆動用TFT群108はオフのままであり、OLED110は非発光の状態のままである。

【0066】次に、2ライン目の画素において書き込み期間Ta1が終了すると、表示期間Tr1が開始され、1ライン目の画素と同様に2ライン目の画素においても、書き込み期間Ta1において画素に入力されたデジタルビデオ信号の電圧に従って、画素の表示が維持される。

【0067】そして、3ライン目以降の画素においても

順に表示期間 T_{r1} が開始される。そして、1ライン目の画素と同様に、各ラインの画素においても、書き込み期間 T_{a1} において画素に入力されたデジタルビデオ信号の電圧に従って、画素の表示が維持される。

【0068】一方、全てのラインの画素において表示期間 T_{r1} が開始される前に、1ライン目の画素において表示期間 T_{r1} が終了し、非表示期間 T_{d1} が開始される。

【0069】非表示期間 T_{d1} が開始されると、1ライン目の第2走査線 G_{e1} が選択され、1ライン目の画素の消去用 TFT_{109} がオンになる。なお、非表示期間 T_{d1} においては第1走査線 G_{a1} は非選択の状態のままである。

【0070】図3(C)に、非表示期間 T_d における各画素の回路素子の接続を簡単に示す。

【0071】消去用 TFT_{109} がオンになると、駆動用 TFT 群 108 のゲート電極に電源線の電圧が与えられる。そのため、駆動用 TFT 群 108 のうち、電源線の電圧がソース領域に与えられている駆動用 TFT のゲート電圧が0に近くなり、該駆動用 TFT_{108} はオフになる。従って、 $OLED_{110}$ の画素電極に電源線の電圧が与えられなくなり、 $OLED_{110}$ は発光しない。

【0072】次に、2ライン目以降の画素においても順に非表示期間 T_{d1} が出現し、各画素の $OLED_{110}$ が発光しなくなる。

【0073】次に、1ライン目の画素において書き込み期間 T_{a2} が開始され、第1走査線 G_{a1} が選択される。そして、1ライン目の画素に2ビット目のデジタルビデオ信号が入力され、2ライン目の画素が表示を行

う。

【0074】そして、2ライン目以降の画素においても、順に書き込み期間 T_{a2} が開始される。

【0075】一方、1ライン目の画素において書き込み期間 T_{a2} が終了すると、次に表示期間 T_{r2} が開始され、画素の表示が維持される。そして、2ライン目以降の画素においても書き込み期間 T_{a2} が終了し、表示期間 T_{r2} が順に開始される。

【0076】上述した動作は、表示期間 T_{am} (m は $1 \sim n$ の任意の自然数) が開始されるまで繰り返され、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが繰り返し出現する。

【0077】説明をわかりやすくするために、図4では $m = n - 2$ の場合を示しているが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1から n までの値を任意に選択することが可能である。

【0078】 $T_{am} [n - 2$ (以下、括弧内は $m = n - 2$ の場合を示す)] が開始されると、 m ビット目のデジタル信号が1ライン目の画素に入力され、表示が行われる。そして1ライン目の画素において書き込み期間 T_a

m が終了すると、2ライン目以降の画素において、順に書き込み期間 T_{am} が開始され、 m ビット目のデジタル信号が各ラインの画素に入力される。

【0079】一方、1ライン目の画素において書き込み期間 T_{am} が終了すると、次に表示期間 T_{rm} が開始され、1ライン目の画素の表示が維持される。そして、2ライン目以降の画素においても、書き込み期間 T_{am} がそれぞれ終了すると、順に表示期間 T_{rm} が開始され、各ラインの画素の表示が維持される。

【0080】次に、全てのラインの画素の表示期間 T_{rm} が開始された後、1ライン目の画素において書き込み期間 $T_{a(m+1)} [n - 1]$ が開始され、 $(m + 1) [n - 1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0081】一方、1ライン目の画素において書き込み期間 $T_{a(m+1)} [n - 1]$ が終了すると、次に表示期間 $T_{r(m+1)} [n - 1]$ が開始され、1ライン目の画素の表示が維持される。そして、2ライン目以降の画素においても、書き込み期間 $T_{a(m+1)} [n - 1]$ がそれぞれ終了すると、順に表示期間 $T_{r(m+1)} [n - 1]$ が開始され、各ラインの画素の表示が維持される。

【0082】上述した動作は、全ての画素において表示期間 T_{rn} が終了するまで繰り返される。

【0083】全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。

【0084】そして1フレーム期間終了後、次のフレーム期間が開始され、再び1ライン目の画素において書き込み期間 T_{a1} が開始され、再び上述した動作が繰り返される。

【0085】発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0086】また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-1)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0087】1フレーム期間中に $OLED$ が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表

現できる。

【0088】なお、1ライン目の画素の書き込み期間 T_{am} が開始されてから、 y ライン目の画素の書き込み期間 T_{am} が終了するまでの期間 ΣT_{am} は、表示期間 T_{rm} の長さよりも短い。

【0089】また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また非表示期間 $T_{d1} \sim T_{dn}$ も、互いに重ならない順序の方がより好ましい。

【0090】なお、本発明では、発光時において駆動用TFTは飽和領域で動作させるものとする。飽和領域で動作させることにより、OLEDが多少劣化し、あるいは環境温度が変化することにより、OLEDの輝度-電圧特性が変化したとしても、輝度-電流特性に変化がなければ発光輝度が経時的に変化するのを防ぐことができる。

【0091】そして、本発明では複数の駆動用TFTを格子状に複数配する点において、本出願人によって出願された、図20に示す特願2000-359032号に記載の画素と異なる。なお、図20において、各画素は信号線701、第1走査線702、第2走査線703、電源線704、スイッチング用TFT705、駆動用TFT706、消去用TFT707、OLED708を有している。図20に示した画素と異なり、本発明では、駆動用TFTが 2×2 以上の駆動用TFTが直列及び並列に接続されているので、駆動用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、駆動用TFTの劣化を抑えることができる。さらに本発明は複数の駆動用TFTを格子状に複数配することにより、個別の駆動用TFTの $I_{0.5} - V_{0.5}$ 特性に多少のばらつきがあっても、駆動用TFT群に等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{0.5} - V_{0.5}$ 特性のバラツキによって、同じ電圧の信号を入力してもOLEDの発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0092】また、本発明では、表示を行わない非表示期間を設けることができる。これにより、ホールド型駆動とは異なり、動画がぼけるのを回避することができる。

【0093】(実施の形態2) 本実施の形態では、アナログビデオ信号を用いた、インパルス型の駆動方法について説明する。発光装置のブロック図及び画素の構成は、図1及び図2を参照する。

【0094】アナログビデオ信号を用いる場合もデジタルビデオ信号を用いる場合と同様に、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とに分けて本発明

の発光装置の駆動を説明することができる。ただし、アナログビデオ信号を用いた駆動の場合、1フレーム期間に、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが1つつ出現する。

【0095】また、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが出現するタイミングは、各ラインの画素ごとに時間差を有している。

【0096】各画素において書き込み期間 T_a が開始されると、第1走査線 G_a が選択され、スイッチング用TFT107がオンになる。このとき、第2走査線 G_e は選択されておらず、消去用TFT109はオフの状態になっている。書き込み期間 T_a における各画素の回路素子の接続は、図3(A)を参照することができる。

【0097】そして、信号線にアナログビデオ信号が入力され、アナログビデオ信号の電圧が駆動用TFT群108の全ての駆動用TFTのゲート電極に与えられる。各駆動用TFTは、ゲート電極に入力されたアナログビデオ信号の電圧に見合った大きさのドレイン電流を、OLED110に流す。よって、アナログビデオ信号の電圧に従ってOLED110の発光輝度が定められ、階調が表示される。

【0098】書き込み期間 T_a が終了すると、次に表示期間 T_r が開始される。表示期間 T_r では、第1走査線 G_a 及び第2走査線 G_e が非選択の状態にあるので、書き込み期間 T_a において駆動用TFT群108のゲート電極に与えられた電圧が保持されている。表示期間 T_r における各画素の回路素子の接続は、図3(B)を参照することができる。よって、OLED110は、書き込み期間 T_a において定められた発光輝度を保ち続ける。

【0099】表示期間 T_r が終了すると、次に非表示期間 T_d が開始される。非表示期間 T_d が開始されると、第2走査線 G_e が選択され消去用TFT109がオンになる。第1走査線 G_a は非選択の状態のままである。非表示期間 T_d における各画素の回路素子の接続は、図3(C)を参照することができる。

【0100】消去用TFT109がオンになると、駆動用TFT群108のゲート電極に電源線の電圧が与えられる。そのため、駆動用TFT群108のうち、電源線の電圧がソース領域に与えられている駆動用TFTのゲート電圧が0に近くなり、該駆動用TFT108はオフになる。従って、OLED110の画素電極に電源線の電圧が与えられなくなり、OLED110は発光しなくなる。

【0101】全ての画素において上述した動作が行われる。各ラインの画素において、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが全て出現すると1フレーム期間が終了する。

【0102】このように、インパルス型の駆動方法の場合、各画素毎に、次にビデオ信号が書き込まれるまでに、いったん表示が消去されるため、各画素において発

光と非発光が繰り返される。このようなインパルス型の駆動方法では、ホールド型の駆動方法とは異なり、動画がぼけるのを防止することができる。

【0103】なお、本発明の発光装置は、本発明では複数の駆動用 TFT を格子状に複数配するので、駆動用 TFT のしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。よって、デジタルビデオ信号を用いたデジタル駆動法に限られず、アナログのビデオ信号を用いたアナログ駆動法にも適している。

【0104】

【実施例】以下に、本発明の実施例について説明する。

【0105】（実施例 1）本実施例では、実施の形態 1 に示した駆動方法における、表示期間の出現する順序について説明する。本実施例では 6 ビットのデジタルビデオ信号を用いた場合に、表示期間 $T_{r1} \sim T_{r6}$ の出現する順序を例に挙げて説明する。ただし本実施例では $m=5$ の場合について説明する。なお、対応するデジタルビデオ信号のビット数や m の値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が 3 以上の場合において有効である。

【0106】図 5 に、本実施例の駆動方法において、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第 1 走査線及び第 2 走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a6}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1 ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間を、それぞれ $\Sigma T_{a1} \sim \Sigma T_{a6}$ と示す。

【0107】また、画素の詳しい動作については、実施の形態において既に説明してあるので、ここでは説明を省略する。

【0108】本実施例の駆動方法では、1 フレーム期間中で 1 番長い表示期間（本実施例では T_{r6} ）を、1 フレーム期間の最初及び最後に設けない。言い換えると、1 フレーム期間中で 1 番長い表示期間の前後に、同じフ

レーム期間に含まれる他の表示期間が出現するような構成にしている。

【0109】ただし、表示期間の直前に、必ず同じビットに対応する書き込み期間が出現するようにする。

【0110】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0111】なお本実施例の構成は $n \geq 3$ の場合において有効である。

【0112】（実施例 2）本実施例では、実施の形態 1 に示した駆動方法の、別の実施例について説明する。本実施例では、 n ビットのデジタルビデオ信号を用いた。ただし本実施例では $m=n-2$ の場合について説明する。

【0113】本実施例の駆動方法では、最上位ビットのデジタルビデオ信号に対応する表示期間 T_{rn} を第 1 表示期間 T_{rn_1} と第 2 表示期間 T_{rn_2} とに分割している。そして、第 1 表示期間 T_{rn_1} と第 2 表示期間 T_{rn_2} のそれぞれに対応して、第 1 書き込み期間 T_{an_1} と第 2 書き込み期間 T_{an_2} とが設けられている。

【0114】図 6 に、本実施例の駆動方法において、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第 1 走査線及び第 2 走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a(n-1)}$ 、 T_{an_1} 、 T_{an_2} の開始されるタイミングを矢印で示した。また、対応するビットごとに、1 ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間を $\Sigma T_{a1} \sim \Sigma T_{a(n-1)}$ 、 ΣT_{an_1} 、 ΣT_{an_2} と示す。

【0115】また、画素の詳しい動作については、実施の形態において既に説明してあるので、ここでは説明を省略する。

【0116】本実施例では、同じビットのデジタルビデオ信号に対応する表示期間（本実施例では第 1 表示期間 T_{rn_1} と第 2 表示期間 T_{rn_2} の間）に、他のビットに対応する表示期間が設けられている。

【0117】表示期間 $T_{r1} \sim T_{rn}$ 、 T_{rn_1} 、 T_{rn_2} の長さは、 $T_{r1} : T_{r2} : \dots : T_{r(n-1)} : (T_{rn_1} + T_{rn_2}) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0118】本発明の駆動方法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0119】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施の形態や実施例 1 の場合に比べて人間の目により認識されずらくすることができる。

【0120】なお本実施例では、同じビットに対応する表示期間が 2 つある場合について説明したが、本発明はこれに限定されない。1 フレーム期間内に同じビットに対応する表示期間が 3 つ以上設けられていても良い。

【0121】また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットに

対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0122】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例1と組み合わせで実施することが可能である。

【0123】(実施例3) 本実施例では、本発明の発光装置における画素部のTFTを作製する方法について説明する。但し、説明を簡単にするために、駆動用TFT群は、 2×2 ある駆動用TFTのうち、2つだけを示して説明する。また、本実施例では画素部のTFTの作製方法についてのみ説明するが、画素部とその周辺に設けられる駆動回路(信号線駆動回路、第1走査線駆動回路、第2走査線駆動回路)のTFTを同時に作製することも可能である。

【0124】まず、図7(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを $10 \sim 200 \text{ nm}$ (好ましくは $50 \sim 100 \text{ nm}$)形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを $50 \sim 200 \text{ nm}$ (好ましくは $100 \sim 150 \text{ nm}$)の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0125】島状半導体膜5003~5005は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体膜5003~5005の厚さは $25 \sim 80 \text{ nm}$ (好ましくは $30 \sim 60 \text{ nm}$)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0126】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を $100 \sim 400 \text{ mJ/cm}^2$ (代表的には $200 \sim 300 \text{ mJ/cm}^2$)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス

発振周波数 $30 \sim 300 \text{ kHz}$ とし、レーザーエネルギー密度を $300 \sim 600 \text{ mJ/cm}^2$ (代表的には $350 \sim 500 \text{ mJ/cm}^2$)とすると良い。そして幅 $100 \sim 1000 \mu\text{m}$ 、例えば $400 \mu\text{m}$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を $50 \sim 90\%$ として行う。

【0127】次いで、島状半導体膜5003~5005を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。本実施例では、 120 nm の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400^\circ\text{C}$ とし、高周波(13.56 MHz)、電力密度 $0.5 \sim 0.8 \text{ W/cm}^2$ で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 $400 \sim 500^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0128】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで $50 \sim 100 \text{ nm}$ の厚さに形成し、第2の導電膜5009をWで $100 \sim 300 \text{ nm}$ の厚さに形成する。

【0129】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10 \sim 50 \text{ nm}$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることができる。

【0130】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF_6)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20 \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.99% または 99.9999% のWターゲット

を用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega \text{cm}$ を実現することができる。

【0131】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。

【0132】また、2層構造に限定されず、例えば、タングステン膜、アルミニウムとシリコンの合金(Al-Si)膜、窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、タングステンに代えて窒化タングステンを用いてもよいし、アルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、窒化チタン膜に代えてチタン膜を用いてもよい。

【0133】なお、導電膜の材料によって、適宜最適なエッチングの方法や、エッチャントの種類を選択することが重要である。

【0134】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0135】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化

窒化シリコン膜が露出した面は $20 \sim 50 \text{nm}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011 \sim 5014(第1の導電層5011a \sim 5014aと第2の導電層5011b \sim 5014b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011 \sim 5014で覆われない領域は $20 \sim 50 \text{nm}$ 程度エッチングされ薄くなった領域が形成される。(図7(A))

10 【0136】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。(図7(B))ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{keV}$ として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011 \sim 5014がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017 \sim 5023が形成される。第1の不純物領域5017 \sim 5023には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でN型を付与する不純物元素を添加する。

【0137】次に、図7(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層5024 \sim 5027(第1の導電層5024a \sim 5027aと第2の導電層5024b \sim 5027b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5024 \sim 5027で覆われない領域はさらに $20 \sim 50 \text{nm}$ 程度エッチングされ薄くなった領域が形成される。

30 【0138】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一

方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0139】そして、図8(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 1×10^{13} atoms/cm²のドーズ量で行い、図7(B)で島状半導体膜に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5024~5027を不純物元素に対するマスクとして用い、第2の導電層5024a~5027aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層5024a~5027aと重なる第3の不純物領域5030~5037と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5040~5047とを形成する。N型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³の濃度となるようにし、第3の不純物領域で $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³の濃度となるようにする。

【0140】そして、図8(B)に示すように、Pチャネル型TFETを形成する島状半導体膜5004に第1の導電型とは逆の導電型の第4の不純物領域5050~5060を形成する。第2の導電層5024b~5027bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFETを形成する島状半導体膜5003、5005はレジストマスク5200で全面を被覆しておく。不純物領域5050~5060にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにする。

【0141】以上までの工程でそれぞれの島状半導体膜に不純物領域が形成される。島状半導体膜と重なる第2の導電層5024~5027がゲート電極として機能する。

【0142】こうして導電型の制御を目的として、それぞれの島状半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1

ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、5024~5027に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0143】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0144】次いで、図8(C)に示すように、第1の層間絶縁膜5061を酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5062を形成した後、第1の層間絶縁膜5061、第2の層間絶縁膜5062、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5065~5069をパターンニング形成する。

【0145】第2の層間絶縁膜5062としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5062は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFETによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5μm(さらに好ましくは2~4μm)とすれば良い。

【0146】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5022、5023またはP型の不純物領域5050、5060に達するコンタクトホールをそれぞれ形成する。

【0147】また、配線(接続配線、信号線を含む)5065~5069として、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0148】次に、図9(A)に示すように、有機樹脂からなる第3層間絶縁膜5071を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第3層間絶縁膜5071は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFETによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5μm

(さらに好ましくは2~4 μm)とすれば良い。

【0149】次に第3層間絶縁膜5071に、配線5068に達するコンタクトホールを形成し、画素電極5073を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターンニングを行って画素電極5073を形成する。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5073がOLEDの陽極に相当する(図9(A))。

【0150】図9(A)の状態における画素の上面図を10図10に示す。なお、図10の破線A-A'、B-B'、C-C'における断面図が図9(A)に相当する。

【0151】5080はスイッチング用TFT、5081~5084は駆動用TFT、5085は消去用TFTに相当する。

【0152】信号線Siに相当する配線5065は、スイッチング用TFT5080が有する島状半導体膜(活性層)5003の第1の不純物領域5017に接続されている。また、スイッチング用TFT5080のゲート電極に相当する第2の形状の導電層5024は、第1の走査線Gaj5090に接続されている。また、スイッチング用TFT5080が有する島状半導体膜(活性層)5003の第1の不純物領域5018は、配線5066を介してゲート配線5091に接続されている。

【0153】ゲート配線5091の一部は、駆動用TFT5081のゲート電極に相当する第2の形状の導電層5025、駆動用TFT5082のゲート電極に相当する第2の形状の導電層5026、駆動用TFT5083のゲート電極に相当する第2の形状の導電層、駆動用TFT5082のゲート電極に相当する第2の形状の導電層を含んでいる。駆動用TFT5081~5084は島状半導体膜5004を有しており、島状半導体膜5004が有する第3の不純物領域5050は、電源線Viに相当する配線5067に接続されている。また、島状半導体膜5004が有する第3の不純物領域5060は配線5068に接続されている。

【0154】ゲート配線5091は、配線5069を介して、消去用TFT5085が有する島状半導体膜5005の第1の不純物領域5023に接続されている。また、消去用TFT5085が有する島状半導体膜5005の第1の不純物領域5022は、電源線5067に接続されている。消去用TFT5085のゲート電極に相当する第2の形状の導電層5027は、第2の走査線Gej5092に接続されている。

【0155】配線5068は画素電極5073に接続されている。

【0156】次に、図9(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極5073に対応する位置に開口部

を形成して第4の層間絶縁膜5074を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないで段差に起因する有機発光層の劣化が顕著な問題となってしまう。

【0157】次に、有機発光層5075および陰極(MgAg電極)5076を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層5075の膜厚は80~200nm(典型的には100~120nm)、陰極5076の厚さは180~300nm(典型的には200~250nm)とすれば良い。

【0158】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層および陰極を形成するのが好ましい。

【0159】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に有機発光層を形成するまで真空を破らずに処理することが好ましい。

【0160】ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色または青緑発光のOLEDと蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いても良い。

【0161】なお、有機発光層5075としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層となる4層構造を有機発光層とすれば良い。

【0162】次に陰極5076を形成する。本実施例ではOLEDの陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0163】次いで、有機発光層および陰極を覆って保護電極5077を形成する。保護電極5077が有機発光層を水分等から保護し、OLEDの信頼性を高めることが出来る。この保護電極5077としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極50

77は有機発光層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、有機発光層および陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0164】こうして図9(B)に示すような構造のアクティブマトリクス型発光装置が完成する。

【0165】ところで、本実施例の作製方法で作製されたTFTは、画素部だけでなく駆動回路に用いることで、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を10MHz以上にすることが可能である。

【0166】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0167】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、GOLD領域、LDD領域およびチャネル形成領域を含み、GOLD領域はゲート絶縁膜を介してゲート電極と重なっている。

【0168】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0169】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0170】なお、実際には図9(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にした

に吸湿性材料(例えば酸化バリウム)を配置したりするとOLEDの信頼性が向上する。

【0171】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0172】なお本実施例ではスイッチング用TFTと消去用TFTとがシングルゲート構造を有する場合について示したが、スイッチング用TFTと消去用TFTとがマルチゲート構造を有していても良い。マルチゲート構造を有するTFTは、シングルゲート構造を有するTFTに比べてオフ電流を抑えることができる。そのため、スイッチング用TFTをマルチゲート構造にすることは、スイッチング素子として用いるのにより望ましい。

【0173】なお本実施例は、実施例1または実施例2と組み合わせて実施することが可能である。

【0174】(実施例4)実施例3では、陽極を画素電極として用い、陰極を対向電極として用いた例について説明したが、本実施例では、陰極を画素電極として用い、陽極を対向電極として用いた画素の構成について説明する。

【0175】図11に本実施例の画素の断面図を示す。図11において、5300はスイッチング用TFT、5301、5302は駆動用TFT、5303は消去用TFTである。なお本実施例では駆動用TFTが2×2個設けられた画素の構成について説明するが、図11ではそのうち2つの駆動用TFTのみ図示した。

【0176】図11において、スイッチング用TFT5300と、消去用TFT5303はnチャネル型TFTを用いている。スイッチング用TFT5300と、消去用TFT5303は、nチャネル型TFTでもpチャネル型TFTでもどちらでも良い。

【0177】また図11において、駆動用TFT5301、5302はnチャネル型TFTである。本実施例ではOLEDの陰極を画素電極として用い、陽極を対向電極として用いており、駆動用TFTは全てnチャネル型TFTであることが望ましい。

【0178】5310はOLEDに相当する。OLED5310は、陰極である画素電極5311と、有機発光層5312と、陽極である対向電極5313を有している。

【0179】本実施例では画素電極5311として300nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を用いた。

【0180】また図示しないが、有機発光層5312は、陰極に近い側に発光層と、陽極に近い側に正孔注入層を有している。なお、これはほんの一例であり、本実施例の有機発光層の構成はこれに限定されない。有機発

光層の組み合わせは、既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0181】対向電極 5313 は、透明導電膜でなる陽極を 120 nm の厚さに形成する。本実施例では、酸化インジウムに 10～20 wt % の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は、有機発光層 5312 を劣化させないように、室温で蒸着法により形成することが好ましい。

【0182】対向電極 5313 を形成したら、プラズマ CVD 法により窒化酸化珪素膜でなる第 2 パッシベーション膜 5314 を 300 nm の厚さに形成する。このときも成膜温度に留意する必要がある。成膜温度を下げるにはリモートプラズマ CVD 法を用いると良い。

【0183】本実施例の発光装置は、OLED 5310 において発せられた光が、画素電極 5311 を透過せずに、対向電極 5313 側に透過される。そのため、基板上に形成された TFT によって光が遮られることがない。したがって、画素電極に陽極を用い、対向電極に陰極を用いる場合に比べて、OLED に流れる電流を増やさなくとも、OLED パネルの輝度を高くすることが可能である。また、各画素における TFT の配置および数に、OLED パネルの発光輝度が左右されることがない。

【0184】なお本実施例ではスイッチング用 TFT と消去用 TFT とがシングルゲート構造を有する場合について示したが、スイッチング用 TFT と消去用 TFT とがマルチゲート構造を有していても良い。マルチゲート構造を有する TFT は、シングルゲート構造を有する TFT に比べてオフ電流を抑えることができる。そのため、スイッチング用 TFT をマルチゲート構造にすることは、スイッチング素子として用いるのにより望ましい。

【0185】本実施例は、実施例 1 または実施例 2 と組み合わせる実施することが可能である。

【0186】（実施例 5）本実施例では、ボトムゲート型の TFT を用いた、本発明の発光装置の画素の構成について説明する。但し、説明を簡単にするために、駆動用 TFT 群は、2×2 ある駆動用 TFT のうち、2 つだけを示して説明する。また、本実施例では画素部の TFT の作製方法についてのみ説明するが、画素部とその周辺に設けられる駆動回路（信号線駆動回路、第 1 走査線駆動回路、第 2 走査線駆動回路）の TFT を同時に作製することも可能である。

【0187】図 12 に、本実施例の発光装置の画素の断面図を示す。

【0188】5400 はスイッチング用 TFT、5401、5402 は駆動用 TFT、5403 は消去用 TFT である。

【0189】スイッチング用 TFT 5400 は、ゲート電極 5410 と、ゲート電極 5410 に接するゲート絶

縁膜 5411 と、ゲート絶縁膜 5411 に接する島状の半導体膜 5412 とを有している。半導体膜 5412 は、チャネル形成領域 5413 と、チャネル形成領域 5413 に接している、LDD 領域に相当する第 2 の不純物領域 5414、5415 と、LDD 領域 5414、5415 に接する第 1 の不純物領域 5416、5417 とを有している。

【0190】駆動用 TFT 5401、5402 は、ゲート電極 5420、5421 と、ゲート電極 5420、5421 に接するゲート絶縁膜 5411 と、ゲート絶縁膜 5411 に接する島状の半導体膜 5422 とを有している。半導体膜 5422 は、チャネル形成領域 5423、5424 と、チャネル形成領域 5423、5424 に接している不純物領域 5425～5427 とを有している。

【0191】消去用 TFT 5403 は、ゲート電極 5430 と、ゲート電極 5430 に接するゲート絶縁膜 5411 と、ゲート絶縁膜 5411 に接する島状の半導体膜 5432 とを有している。半導体膜 5432 は、チャネル形成領域 5433 と、チャネル形成領域 5433 に接している、LDD 領域に相当する第 2 の不純物領域 5434、5435 と、LDD 領域 5434、5435 に接する第 1 の不純物領域 5436、5437 とを有している。

【0192】駆動用 TFT 5402 が有する不純物領域 5427 は、OLED 5450 が有する画素電極 5451 に配線 5452 を介して接続されている。

【0193】なお本実施例ではスイッチング用 TFT と消去用 TFT とがシングルゲート構造を有する場合について示したが、スイッチング用 TFT と消去用 TFT とがマルチゲート構造を有していても良い。マルチゲート構造を有する TFT は、シングルゲート構造を有する TFT に比べてオフ電流を抑えることができる。そのため、スイッチング用 TFT をマルチゲート構造にすることは、スイッチング素子として用いるのにより望ましい。

【0194】また本実施例では、陽極を画素電極として用いた場合について説明したが、陰極を画素電極として用いても良い。この場合、駆動用 TFT 5401、5402 は n チャネル型 TFT であることが望ましい。

【0195】なお本実施例は、実施例 1 または実施例 2 と組み合わせる実施することが可能である。

【0196】（実施例 6）本実施例では、実施の形態 1 に示した駆動方法に対応した、発光装置の駆動回路（信号線駆動回路、第 1 及び第 2 走査線駆動回路）の構成について説明する。

【0197】図 14 に本実施例の自発光装置の駆動回路のブロック図を示す。図 14 (A) は信号線駆動回路 601 であり、シフトレジスタ 602、ラッチ (A) 603、ラッチ (B) 604 を有している。

【0198】信号線駆動回路601において、シフトレジスタ602にクロック信号（CLK）およびスタートパルス（SP）が入力される。シフトレジスタ602は、これらのクロック信号（CLK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次入力する。

【0199】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0200】バッファによって緩衝増幅されたタイミング信号は、ラッチ（A）603に入力される。ラッチ（A）603は、nビットのデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ（A）603は、前記タイミング信号が入力されると、信号線駆動回路601の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0201】なお、ラッチ（A）603にデジタルビデオ信号を取り込む際に、ラッチ（A）603が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ（A）603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動と言う。

【0202】ラッチ（A）603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0203】1ライン期間が終了すると、ラッチ（B）604にラッチシグナル（Latch Signal）が入力される。この瞬間、ラッチ（A）603に書き込まれ保持されているデジタルビデオ信号は、ラッチ（B）604に一斉に送出され、ラッチ（B）604の全ステージのラッチに書き込まれ、保持される。

【0204】デジタルビデオ信号をラッチ（B）604に送出し終えたラッチ（A）603には、シフトレジスタ602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0205】この2順目の1ライン期間中には、ラッチ（B）603に書き込まれ、保持されているデジタルビデオ信号が信号線に入力される。

【0206】なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ラッチ回路に順にデジタルビデオ信号を書きこむようにしても良い。

【0207】図14（B）は第1走査線駆動回路の構成を示すブロック図である。

【0208】第1走査線駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。また場合によってはレベルシフトを有していても良い。

【0209】第1走査線駆動回路605において、シフトレジスタ606からのタイミング信号がバッファ607に入力され、対応する第1走査線に入力される。第1走査線には、1ライン分の画素のスイッチング用TF Tのゲート電極が接続されている。そして、1ライン分の画素のスイッチング用TF Tを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0210】なお第2走査線駆動回路は第1走査線駆動回路の構成と同じであるので、図14（B）を参考にする。ただし第2走査線駆動回路の場合、バッファからの出力は第2走査線に入力される。また第2走査線には、1ライン分の画素の消去用TF Tのゲート電極が接続されている。そして、1ライン分の画素の消去用TF Tを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0211】なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ゲート信号を選択し、タイミング信号を供給するようにしても良い。

【0212】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。本実施例は、実施例1～実施例5と自由に組み合わせて実施することが可能である。

【0213】（実施例7）本実施例では、実施の形態1に示した駆動方法に対応する、図13で示した信号線駆動回路601の詳しい構成について説明する。

【0214】図14に本実施例の信号線駆動回路の回路図を示す。シフトレジスタ801、ラッチ（A）（802）、ラッチ（B）（803）、が図14に示すように配置されている。なお本実施例では、1組のラッチ（A）（802）と1組のラッチ（B）（803）が、4本の信号線 $S_t \sim S_{(t+3)}$ に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0215】クロック信号CLK、CLKの極性が反転したクロック信号CLKB、スタートパルス信号SP、駆動方向切り替え信号SL/Rはそれぞれ図に示した配線からシフトレジスタ801に入力される。また外部から入力されるデジタルビデオ信号VDは図に示した配線からラッチ（A）（802）に入力される。ラッチ信号 S_LAT 、 S_LAT の極性が反転した信号 S_LA

Tbはそれぞれ図に示した配線からラッチ (B) (803) に入力される。

【0216】ラッチ (A) (802) の詳しい構成について、信号線 St に対応するラッチ (A) (802) の一部 804 を例にとって説明する。ラッチ (A) (802) の一部 804 は 2 つのクロックドインバーターと 2 つのインバーターを有している。

【0217】ラッチ (A) (802) の一部 804 の上面図を図 17 に示す。831a、831b はそれぞれ、ラッチ (A) (802) の一部 804 が有するインバーターの 1 つを形成する TFT の活性層であり、836 は該インバーターの 1 つを形成する TFT の共通のゲート電極である。また 832a、832b はそれぞれ、ラッチ (A) (802) の一部 804 が有するもう 1 つのインバーターを形成する TFT の活性層であり、837a、837b は活性層 832a、832b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837a、837b は電氣的に接続されている。

【0218】833a、833b はそれぞれ、ラッチ (A) (802) の一部 804 が有するクロックドインバーターの 1 つを形成する TFT の活性層である。活性層 833a 上にはゲート電極 838a、838b が設けられており、ダブルゲート構造となっている。また活性層 833b 上にはゲート電極 838b、839 が設けられており、ダブルゲート構造となっている。

【0219】834a、834b はそれぞれ、ラッチ (A) (802) の一部 804 が有するもう 1 つのクロックドインバーターを形成する TFT の活性層である。活性層 834a 上にはゲート電極 839、840 が設けられており、ダブルゲート構造となっている。また活性層 834b 上にはゲート電極 840、841 が設けられており、ダブルゲート構造となっている。

【0220】本実施例は、実施例 1～実施例 6 と組み合わせることで実施することが可能である。

【0221】(実施例 8) 本実施例では、OLED が形成された基板を、OLED が大気に触れないように封止して、本発明の発光装置を作製する工程について説明する。なお、図 16 (A) は本発明の発光装置の上面図であり、図 16 (B) は図 16 (A) の A-A' における断面図その断面図である。図 16 (C) は図 16 (A) の B-B' における断面図その断面図である。

【0222】基板 4001 上に設けられた画素部 4002 と、信号線駆動回路 4003 と、第 1 及び第 2 の走査線駆動回路 4004a、b とを囲むようにして、シール材 4009 が設けられている。また画素部 4002 と、信号線駆動回路 4003 と、第 1 及び第 2 の走査線駆動回路 4004a、b との上にシーリング材 4008 が設けられている。よって画素部 4002 と、信号線駆動回路 4003 と、第 1 及び第 2 の走査線駆動回路 4004a、b とは、基板 4001 とシール材 4009 とシーリ

ング材 4008 とによって、充填材 4210 で密封されている。

【0223】また基板 4001 上に設けられた画素部 4002 と、信号線駆動回路 4003 と、第 1 及び第 2 の走査線駆動回路 4004a、b とは、複数の TFT を有している。図 16 (B) では代表的に、下地膜 4010 上に形成された、信号線駆動回路 4003 に含まれる駆動回路用 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示する) 4201 及び画素部 4002 に含まれる駆動用 TFT の 1 つ 4202 を図示した。

【0224】本実施例では、駆動回路用 TFT 4201 には公知の方法で作製された p チャネル型 TFT または n チャネル型 TFT が用いられ、駆動用 TFT 4202 には公知の方法で作製された p チャネル型 TFT が用いられる。また、画素部 4002 には駆動用 TFT 4202 のゲートに接続された保持容量 (図示せず) が設けられる。

【0225】駆動回路用 TFT 4201 及び駆動用 TFT 4202 上には層間絶縁膜 (平坦化膜) 4301 が形成され、その上に駆動用 TFT 4202 のドレインと電氣的に接続する画素電極 (陽極) 4203 が形成される。画素電極 4203 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0226】そして、画素電極 4203 の上には絶縁膜 4302 が形成され、絶縁膜 4302 は画素電極 4203 の上に開口部が形成されている。この開口部において、画素電極 4203 の上には有機発光層 4204 が形成される。有機発光層 4204 は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【0227】有機発光層 4204 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0228】有機発光層 4204 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4205 が形成される。また、陰極 4205 と有機発光層 4204 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層 4204 を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極 4205 を形成するといった工夫が必要である。本実施例ではマルチチャンパー

方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4205 は所定の電圧が与えられている。

【0229】以上のようにして、画素電極（陽極）4203、有機発光層 4204 及び陰極 4205 からなる OLED 4303 が形成される。そして OLED 4303 を覆うように、絶縁膜 4302 上に保護膜 4303 が形成されている。保護膜 4303 は、OLED 4303 に酸素や水分等が入り込むのを防ぐのに効果的である。

【0230】4005a は電源線に接続された引き回し配線であり、駆動用 TFT 4202 のソース領域に電気的に接続されている。引き回し配線 4005a はシール材 4009 と基板 4001 との間を通り、異方導電性フィルム 4300 を介して FPC 4006 が有する FPC 用配線 4301 に電気的に接続される。

【0231】シーリング材 4008 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0232】但し、OLED からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0233】また、充填材 4103 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0234】また充填材 4103 を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4008 の基板 4001 側の面に凹部 4007 を設けて吸湿性物質または酸素を吸着しうる物質 4207 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4207 が飛び散らないように、凹部カバー材 4208 によって吸湿性物質または酸素を吸着しうる物質 4207 は凹部 4007 に保持されている。なお凹部カバー材 4208 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4207 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4207 を設けることで、OLED 4303 の劣化を抑

制できる。

【0235】図 16（C）に示すように、画素電極 4203 が形成されると同時に、引き回し配線 4005a 上に接するように導電性膜 4203a が形成される。

【0236】また、異方導電性フィルム 4300 は導電性フィラー 4300a を有している。基板 4001 と FPC 4006 とを熱圧着することで、基板 4001 上の導電性膜 4203a と FPC 4006 上の FPC 用配線 4301 とが、導電性フィラー 4300a によって電気的に接続される。

【0237】なお本実施例は、実施例 1～7 と組み合わせることで実施することが可能である。

【0238】（実施例 9）本発明の発光装置において、OLED が有する有機発光層に用いられる材料は、有機発光材料に限定されず、無機発光材料を用いても実施できる。但し、現在の無機発光材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する TFT を用いなければならない。

【0239】または、将来的にさらに駆動電圧の低い無機発光材料が開発されれば、本発明に適用することは可能である。

【0240】また、本実施例の構成は、実施例 1～8 と組み合わせることで実施することが可能である。

【0241】（実施例 10）本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLED の低消費電力化、長寿命化、および軽量化が可能になる。

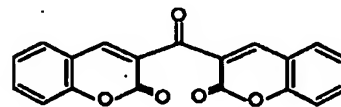
【0242】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0243】上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

【0244】

【化 1】

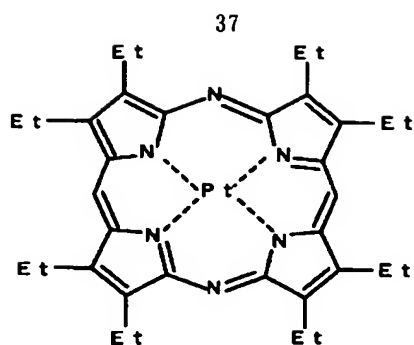


【0245】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0246】上記の論文により報告された有機発光材料（Pt 錯体）の分子式を以下に示す。

【0247】

【化 2】

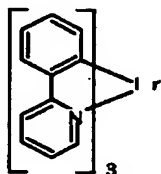


【0248】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0249】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0250】

【化3】



【0251】以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0252】なお本実施例は、実施例1~9と組み合わせることで実施することが可能である。

【0253】(実施例11)OLEDに用いられる有機発光材料は低分子系と高分子系に大別される。本発明の発光装置は、低分子系の有機発光材料でも高分子系の有機発光材料でも用いることができる。

【0254】低分子系の有機発光材料は、蒸着法により成膜される。したがって積層構造をとりやすく、ホール輸送層、電子輸送層などの機能が異なる膜を積層することで高効率化しやすい。

【0255】低分子系の有機発光材料としては、キノリノールを配位子としたアルミニウム錯体Alq₃、トリフェニルアミン誘導体(TPD)等が挙げられる。

【0256】一方、高分子系の有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。

【0257】高分子系の有機発光材料を用いた発光素子の構造は、低分子系の有機発光材料を用いたときと基本的には同じであり、陰極/有機発光層/陽極となる。しかし、高分子系の有機発光材料を用いた有機発光層を形成する際には、低分子系の有機発光材料を用いたときの

38

ような積層構造を形成させることは難しく、知られている中では2層の積層構造が有名である。具体的には、陰極/発光層/正孔輸送層/陽極という構造である。なお、高分子系の有機発光材料を用いた発光素子の場合には、陰極材料としてCaを用いることも可能である。

【0258】なお、素子の発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の有機発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0259】ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン) [PPV]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン) [RO-PPV]、ポリ(2-(2'-エチルヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン) [MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン) [ROPPh-PPV]等が挙げられる。

20 【0260】ポリパラフェニレン系には、ポリパラフェニレン [PPP]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレン) [RO-PPP]、ポリ(2,5-ジヘキソキシ-1,4-フェニレン)等が挙げられる。

【0261】ポリチオフェン系には、ポリチオフェン [PT]の誘導体、ポリ(3-アルキルチオフェン) [PAT]、ポリ(3-ヘキシルチオフェン) [PHT]、ポリ(3-シクロヘキシルチオフェン) [PCHT]、ポリ(3-シクロヘキシル-4-メチルチオフェン) [PCHMT]、ポリ(3,4-ジシクロヘキシルチオフェン) [PDCHT]、ポリ[3-(4-オクチルフェニル)-チオフェン] [POPT]、ポリ[3-(4-オクチルフェニル)-2,2-ピチオフェン] [PTOPT]等が挙げられる。

【0262】ポリフルオレン系には、ポリフルオレン [PF]の誘導体、ポリ(9,9-ジアルキルフルオレン) [PDAF]、ポリ(9,9-ジオクチルフルオレン) [PDOF]等が挙げられる。

40 【0263】なお、正孔輸送性の高分子系の有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。

【0264】正孔輸送性の高分子系の有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

【0265】なお、本実施例の構成は、実施例1～実施例10のいずれの構成とも自由に組み合わせて実施することが可能である。

【0266】（実施例12）発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0267】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図17に示す。

【0268】図17（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0269】図17（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0270】図17（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0271】図17（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0272】図17（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表

示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0273】図17（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0274】図17（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0275】ここで図17（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0276】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0277】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0278】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0279】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～11に示したいずれの構成の発光装置を用いても良い。

【0280】

【発明の効果】本発明は上記構成により、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもOLEDの発光量が隣接画素で大きく異なってしまうという現象を

41

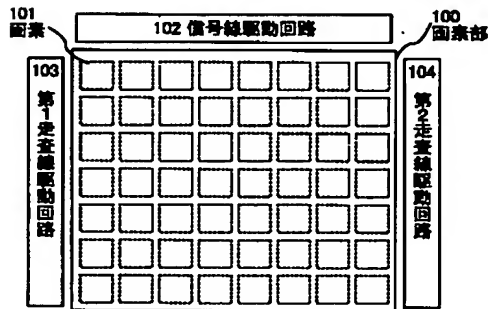
抑制することが可能になる。

【0281】また、本発明では、表示を行わない非表示期間を設けることができる。従来のデューティ比（画素が発光して階調表示を行う期間の1フレーム期間に占める割合）が100%であるホールド型のアナログ駆動法の場合、動画がぼけてしまい、高速応答で動画表示に向いているというOLEDの特徴を十分に生かしきれなかった。しかし、本発明の発光装置では、非表示期間を設けてインパルス型の駆動をすることができるので、動画がぼけるのを回避することができる。

【図面の簡単な説明】

- 【図1】 本発明の発光装置の回路構成を示すブロック図。
 【図2】 本発明の発光装置の画素の回路図。
 【図3】 各期間における画素の電気的接続を示す図。
 【図4】 本発明の発光装置の駆動方法を示す図。
 【図5】 本発明の発光装置の駆動方法を示す図。
 【図6】 本発明の発光装置の駆動方法を示す図。

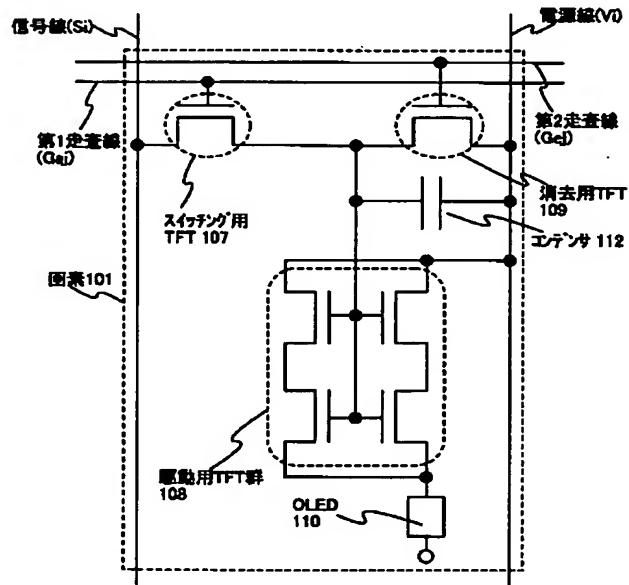
【図1】



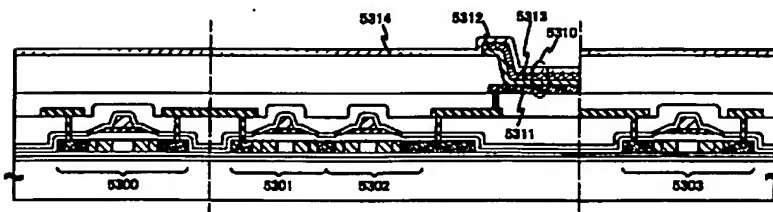
42

- 【図7】 本発明の発光装置の作製行程を示す図。
 【図8】 本発明の発光装置の作製行程を示す図。
 【図9】 本発明の発光装置の作製行程を示す図。
 【図10】 本発明の発光装置の画素上面図。
 【図11】 本発明の発光装置の断面図。
 【図12】 本発明の発光装置の断面図。
 【図13】 本発明の発光装置の駆動回路の構成を示すブロック図。
 【図14】 本発明の発光装置の信号線駆動回路の回路図。
 【図15】 本発明の発光装置の信号線駆動回路のラッチ上面図。
 【図16】 本発明の発光装置の外観図及び断面図。
 【図17】 本発明の発光装置を用いた電子機器。
 【図18】 従来の発光装置の画素部の回路図。
 【図19】 TFTの $I_{DS} - V_{GS}$ 特性を示す図。
 【図20】 特願2000-359032号に記載の画素の回路図。

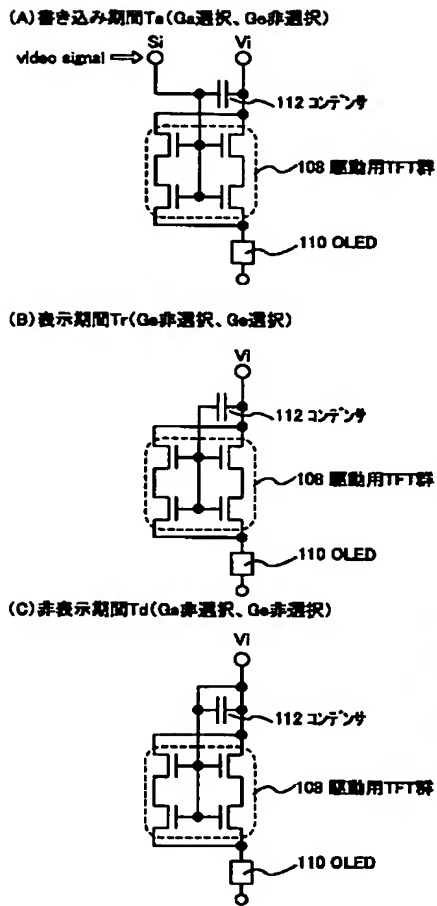
【図2】



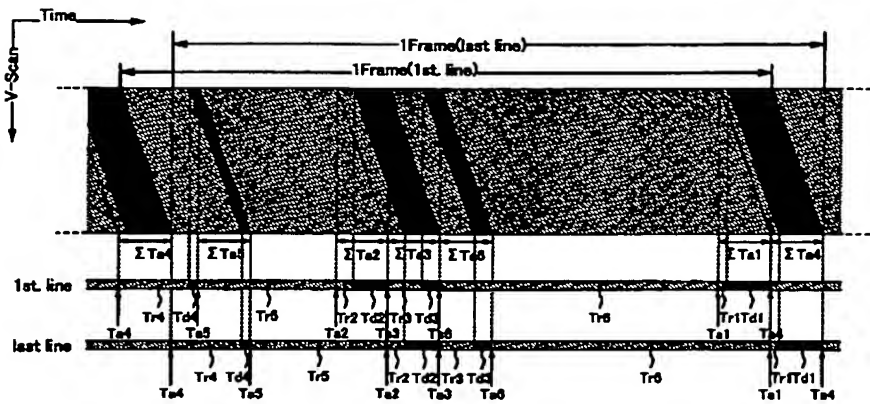
【図11】



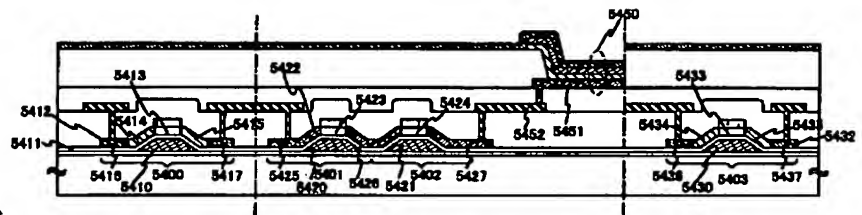
【図 3】



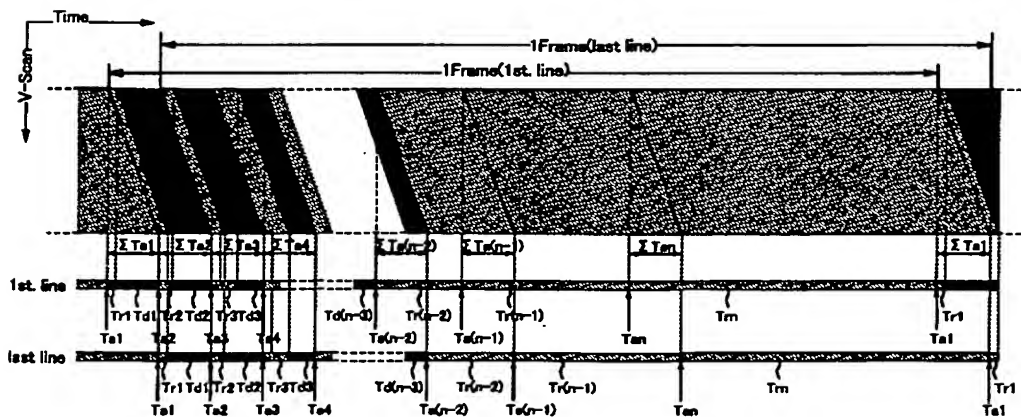
【図 5】



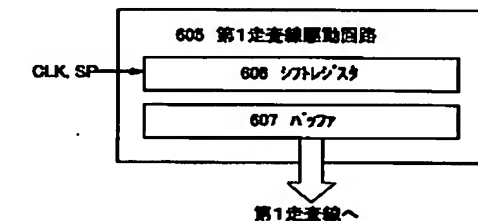
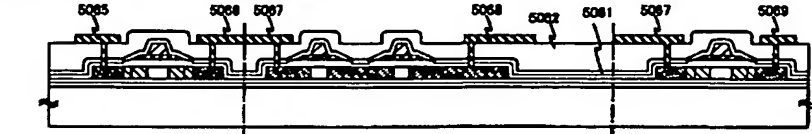
【図 12】



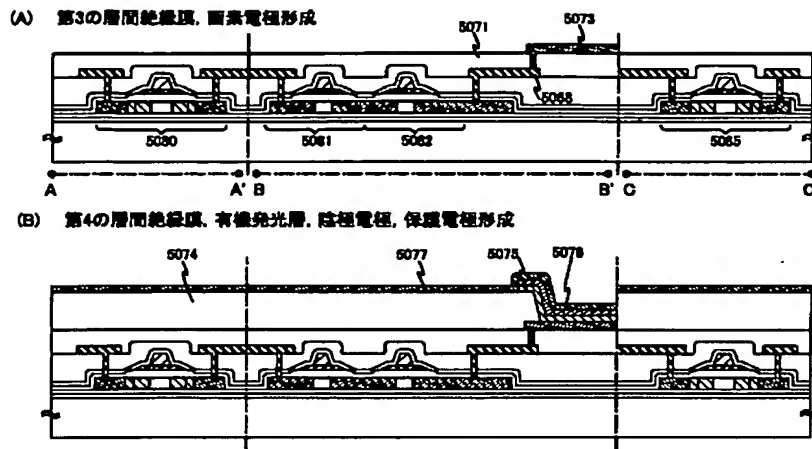
【図 4】



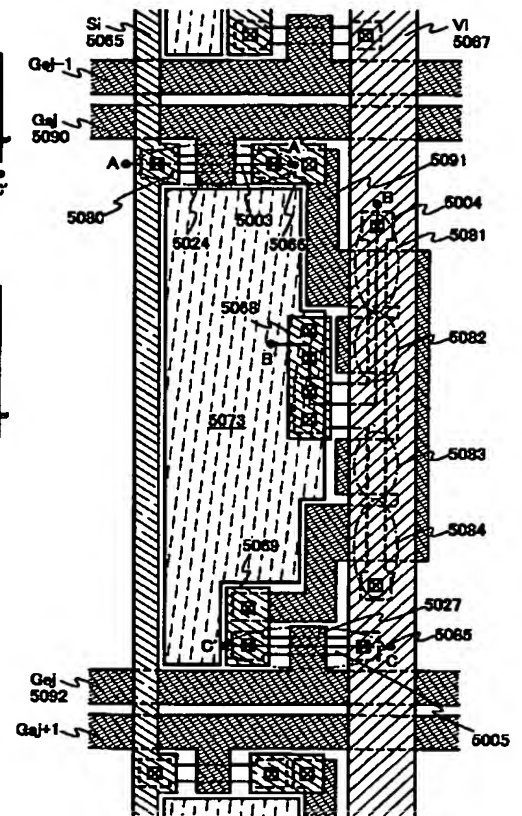
【图 13】



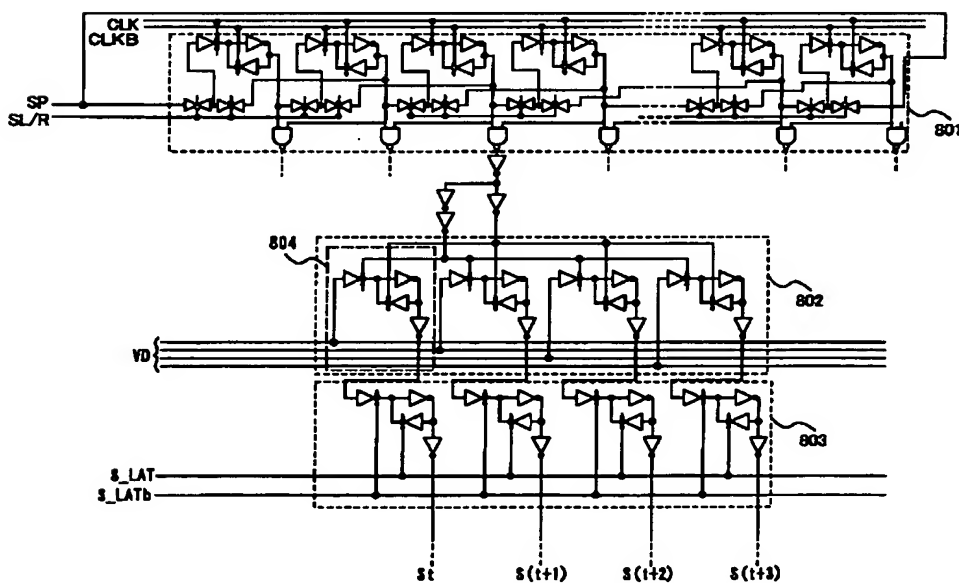
【図9】



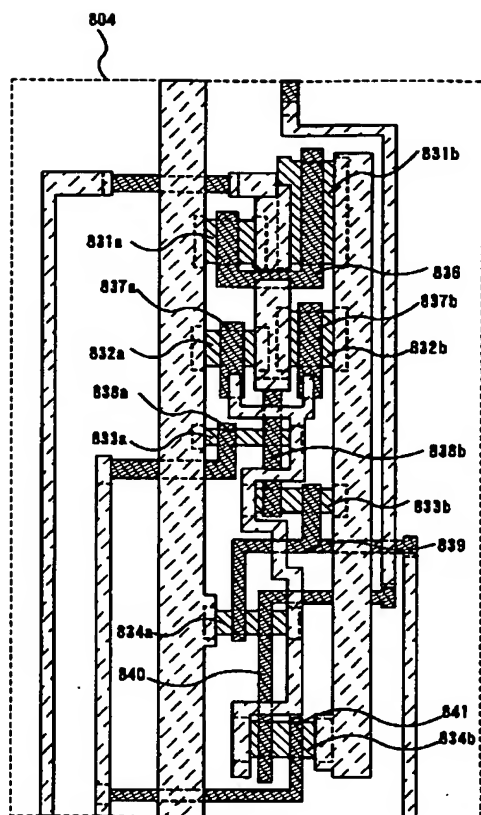
【図10】



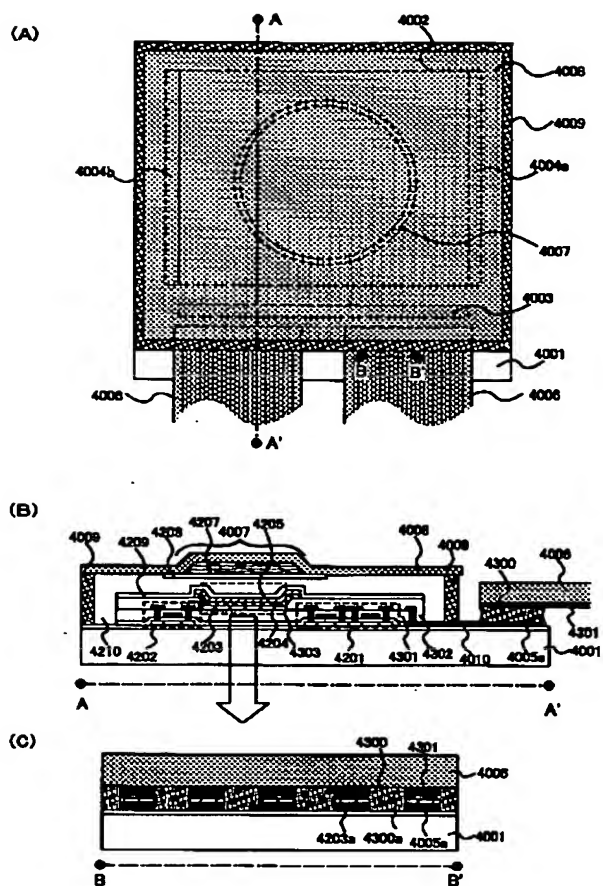
【図14】



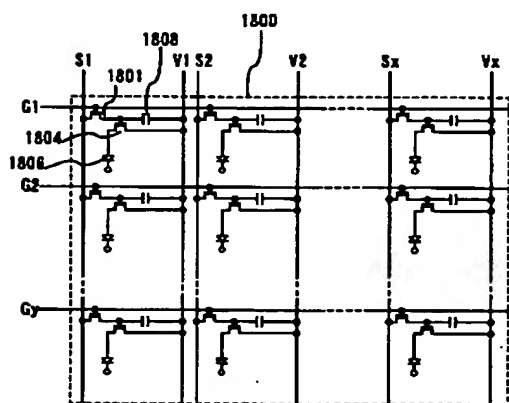
【图 15】



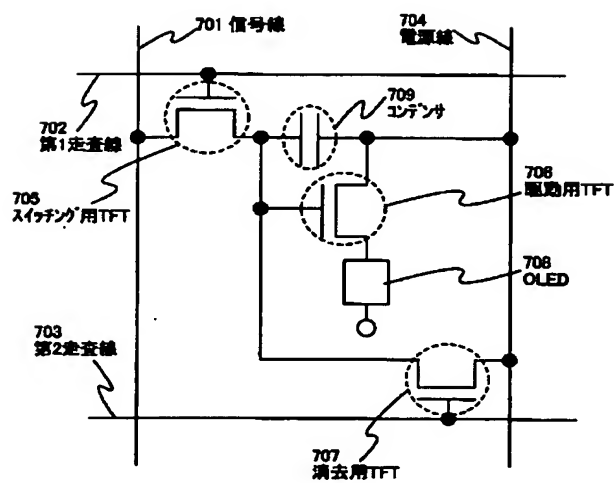
【图 16】



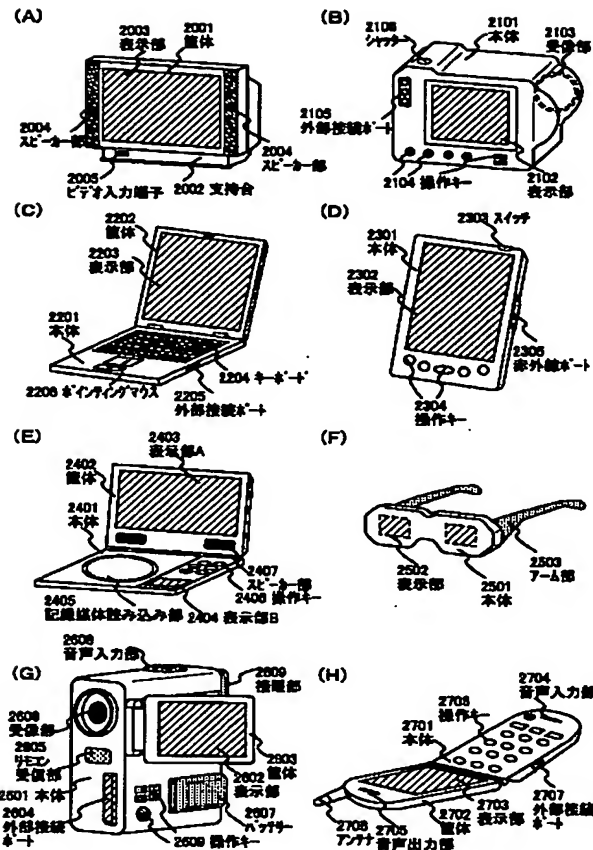
【図 18】



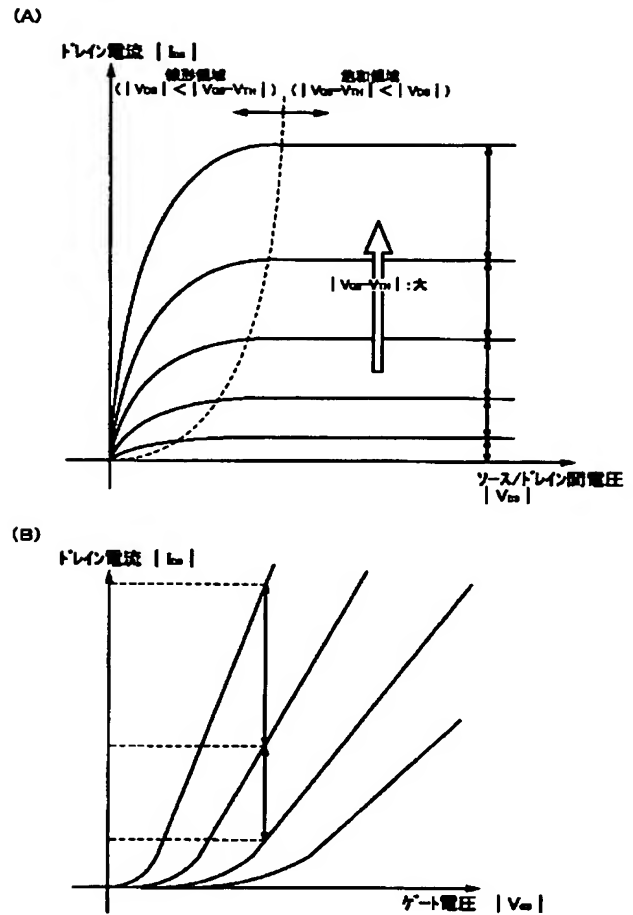
【图 20】



【図 17】



【図 19】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 4 1

6 4 2

6 6 0

F I

G 0 9 G 3/20

H 0 5 B 33/14

テマコード (参考)

6 4 1 E

6 4 2 C

6 6 0 V

A

F ターム (参考) 3K007 AB17 BA06 BB01 BB04 BB05
 BB07 CA01 CB01 DA01 DB03
 EA01 EB00 GA04
5C080 AA06 BB05 DD02 DD05 DD07
 EE19 EE28 FF11 JJ02 JJ03
 JJ04 JJ05 JJ06 KK02 KK07
 KK43 KK47
5C094 AA03 AA23 AA53 AA55 BA03
 BA27 CA19 CA25 DA09 DA13
 DB01 DB04 EA04 EA05 EA07
 EB02 FA01 FB01 FB12 FB14
 FB15 FB20 GB10 JA01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.